

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年10月 2日

出 願 番 号

Application Number:

特願2002-289428

[ST.10/C]:

[JP 2002-289428]

出 願 人

Applicant(s):

株式会社東芝

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3019034

【書類名】 特許願

【整理番号】 APB0260721

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00
H01L 21/76

【発明の名称】 半導体装置の製造方法

【請求項の数】 18

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 稗田 克彦

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 川崎 敦子

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝
横浜事業所内

 【氏名】 山崎 壮一

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100083161

 【弁理士】

 【氏名又は名称】 外川 英明

 【電話番号】 (03)3457-2512

【手数料の表示】

 【予納台帳番号】 010261

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、

前記半導体基板上に第 1 の膜を形成し、前記溝内に第 1 の膜を埋め込む工程と、

前記第 1 の膜に含まれる溶媒を揮発させて前記第 1 の膜を第 2 の膜に変換する工程と、

前記マスク部材上の第 2 の膜を除去して選択的に前記溝内部に第 2 の膜を残す工程と、

前記溝内の第 2 の膜に対して、水を含む雰囲気中で第 1 の熱処理を行う工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記第 1 の熱処理は、350℃以上の温度で行われることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記第 1 の熱処理は、350℃以上450℃以下の温度に一定時間保持される第 2 の熱処理と、450℃以上1000℃以下の温度に一定時間保持される第 3 の熱処理を有することを特徴とする請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記第 2 および第 3 の熱処理は、30分から60分保持される熱処理であることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記溝内に埋め込まれた第 2 の膜は、溝の底部から第 2 の膜の表面までの距離が600nm以内であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 6】 前記第 1 の膜は、塗布法を用いて形成された塗布膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 7】 前記第 1 の膜は、過水素化シラザン重合体であり、前記第 2 の膜はポリシラザン膜であることを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 8】 前記第 1 の膜に含まれる溶媒を揮発させて前記第 1 の膜を第 2 の

膜に変換する工程は、200℃以下のベーキング工程であることを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項9】 前記ベーキング工程の後に、水を含む雰囲気中で、350℃以上450℃以下の温度で第4の熱処理工程を有することを特徴とする請求項8に記載の半導体装置の製造方法。

【請求項10】 前記第1の熱処理の後に、前記第2の膜を緻密化するために、800℃以上1100℃以下の温度で熱処理する第5の熱処理を行う工程を有することを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項11】 前記第5の熱処理工程は、前記マスク部材の主な部分を剥離してから行うことを特徴とする請求項10に記載の半導体装置の製造方法。

【請求項12】 前記溝内に第1の膜を埋め込む工程は、前記マスク部材を溝と反対方向に後退させた後に行うことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項13】 半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、
スピンコーティング法により過水素化シラザン重合体溶液を半導体基板表面に塗布し、前記溝内に過水素化シラザン重合体溶液の塗布膜を埋め込む工程と、
前記過水素化シラザン重合体溶液の塗布膜に対して熱処理を行い、その過水素化シラザン重合体溶液の塗布膜に含まれる溶媒を揮発させてポリシラザン膜に変換する工程と、
前記マスク部材上のポリシラザン膜を除去して選択的に前記溝内部にポリシラザン膜を残す工程と、
前記ポリシラザン膜を化学反応させて酸化シリコン膜を形成する工程と
を有することを特徴とする半導体装置の製造方法。

【請求項14】 半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、
スピンコーティング法により過水素化シラザン重合体溶液を半導体基板表面に塗布し、前記溝内に過水素化シラザン重合体溶液の塗布膜を埋め込む工程と、
前記過水素化シラザン重合体溶液の塗布膜に対して熱処理を行い、その過水素化

シラザン重合体溶液の塗布膜に含まれる溶媒を揮発させてポリシラザン膜に変換する工程と、

前記マスク部材上の前記ポリシラザン膜を除去して選択的に前記溝内部にポリシラザン膜を残す工程と、

前記ポリシラザン膜を化学反応させて酸化シリコン膜を形成する工程と、

前記半導体基板上のマスク部材を除去する工程と、

前記酸化シリコン膜を緻密化するために、熱処理する工程と

を有することを特徴とする半導体装置の製造方法。

【請求項 1 5】 前記酸化シリコン膜を形成する工程は、水を含む雰囲気において、350℃以上の温度で熱処理する第1の熱処理を有することを特徴とする請求項 1 3 または 1 4 に記載の半導体装置の製造方法。

【請求項 1 6】 前記第1の熱処理は、水を含む雰囲気で、350℃以上450℃以下の温度に一定時間保持される第2の熱処理と、450℃以上1000℃以下の温度に一定時間保持される第3の熱処理とを有することを特徴とする請求項 1 5 に記載の半導体装置の製造方法。

【請求項 1 7】 前記酸化シリコン膜を緻密化する熱処理は、800℃以上1100℃以下の温度で行われることを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

【請求項 1 8】 前記第1または第4の熱処理における水を含む雰囲気は、水素燃焼酸化法で形成した水蒸気雰囲気であることを特徴とする請求項 1、9、15 または 1 6 に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置の製造方法に関し、特に素子分離に用いるSTI (Shallow Trench Isolation) 構造の形成方法に係る。

【0002】

【従来の技術】

最近の半導体装置の素子分離には、STI構造が広く用いられている。これは

、半導体基板の素子分離領域に溝を形成し、この溝に素子分離絶縁膜となるシリコン酸化 (SiO_2) 膜などを埋め込む方法である。しかし、半導体装置の微細化が進行して、溝幅と溝の深さのアスペクト比が大きくなり、従来用いてきたオゾン (O_3) - TEOS CVD- SiO_2 膜や HDP-TEOS CVD- SiO_2 膜では、STI の溝の中に、空孔 (Void) やシーム (Seam) を発生させずに埋め込むことが困難になってきている。

【 0 0 0 3 】

このため、100 nm 世代以降では、塗布型溶液を用いて STI 溝に素子分離絶縁膜を埋め込む技術が開発されている (例えば、特許文献 1 参照。)。

【 0 0 0 4 】

この特許文献に開示された方法は、図 7 (a) 乃至図 9 (f) の製造工程断面図に示すように、まず、図 7 (a) に示すように、シリコン基板 100 の表面に SiO_2 膜 101 を形成し、その上にマスク部材としての Si_3N_4 膜 102 を積層形成する。その後、通常の露光技術と RIE (Reactive Ion Etching: 以下 RIE と記す) 法によるドライエッチング技術を用いて、 Si_3N_4 膜 102、 SiO_2 膜 101、シリコン基板 100 を順次加工し、シリコン基板 100 に STI 素子分離のための STI 溝 103 を、例えば幅 100 nm、深さ 300 nm 程度に形成する。

【 0 0 0 5 】

次に、図 7 (b) に示すように、各溝幅を持つ STI 溝 103 が完全に埋まるように Si_3N_4 膜 102 の全表面に、過水素化シラザン重合体 ($(\text{SiH}_2\text{NH})_n$) 溶液を、例えば、スピンコーティング法を用いて膜厚 600 nm 程度に塗布し、200℃ 以下の温度、例えば 150℃ 程度で 3 分程度のベーキングを行い、溶媒を揮発させポリシラザン (Polysilazane: 以下 PSZ と記す) 膜 105 を形成する。

【 0 0 0 6 】

次に、図 8 (c) に示すように、 Si_3N_4 膜 102 の表面に形成された PSZ 膜 105 に対して、350℃ 以上 600℃ 以下程度の水を含む雰囲気中で 60 分程度熱処理することにより、 SiO_2 膜 106 に変換する。

【0007】

次に、図8(d)に示すように、酸化性雰囲気、または、窒素等の不活性ガス雰囲気において900℃程度の温度で30分程度の熱処理を行い、PSZ膜105から変換されたSiO₂膜106に残留しているNH₃やH₂Oを放出させ、SiO₂膜106の緻密化処理を行い、SiO₂膜106に比べて密度の高い緻密なSiO₂膜107に変換させる。

【0008】

次に、図9(e)に示すように、例えばCMP (Chemical Mechanical Polishing: 以下CMPと記す) 法によりマスク部材のSi₃N₄膜102が露出するように、Si₃N₄膜102上のSiO₂膜107を選択的に除去する。この結果、各STI溝103の中に表面のみを露出した形状で、SiO₂膜107が形成されることになる。

【0009】

次に、図9(f)に示すように、Si₃N₄膜102とSiO₂膜101を順次除去してシリコン基板100の表面を露出させることにより、STI溝103内にSiO₂膜107を埋め込んだSTI構造を形成している。

【0010】

ところで、この方法では、1μm以上のSTI溝幅の溝中の塗布膜であるPSZ膜105は、後の工程で十分にSiO₂膜107に変換されるが、図9(e)に示すように、100nm程度以下のSTI溝103の場合、溝内における一部のPSZ膜105aは、十分にSiO₂に変換されない未変換部分となる。この未変換PSZ部分105aは、ウェットエッチングレートが早く、そのため、特に窪み(Divot)の抑制、STIの絶縁膜の高さの制御が難しく、所望形状のSTI構造の実現が困難であるという問題があった。

【0011】

これは、図8(c)に示すように、溝幅が100nm程度以下のSTI溝103内のPSZ膜105は、Si₃N₄膜102の膜厚(約150nm程度)によって、溝底部に近い部分のPSZ膜105aに対してSiO₂膜106に変換するために必要十分なH₂Oと酸素(O₂)が供給されないことによる。

【 0 0 1 2 】

S T I 溝幅が広いものから 1 0 0 n m 程度の狭い S T I 溝幅まで均一に S T I 溝中の P S Z 膜が S i O ₂ 膜に変換されるような製造方法が求められていた。

【 0 0 1 3 】

【特許文献 1】

特許第 3 1 7 8 4 1 2 号公報（第 5 - 6 頁、図 1 - 図 3）

【 0 0 1 4 】

【発明が解決しようとする課題】

上述した従来の製造方法は、埋め込み性の良い塗布型膜と C M P 法を組み合わせた優れた方法であるが、1 0 0 n m 程度以下の S T I 溝幅中に窪みが発生する問題や S T I 溝幅により埋め込み高さが変動するという問題があり、求められている S T I 構造を実現できないという問題があった。

【 0 0 1 5 】

本発明は、溝幅の大きさに拘わらず、素子分離溝内に埋め込まれる絶縁膜の窪み、高さの変動などによる素子分離構造の形状劣化を低減できる半導体装置の製造方法を提供することを目的としている。

【 0 0 1 6 】

【課題を解決するための手段】

上記目的を達成するために、本発明の半導体装置の製造方法は、半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、前記半導体基板上に第 1 の膜を形成し、前記溝内に第 1 の膜を埋め込む工程と、前記第 1 の膜に含まれる溶媒を揮発させて前記第 1 の膜を第 2 の膜に変換する工程と、前記マスク部材上の第 2 の膜を除去して選択的に前記溝内部に第 2 の膜を残す工程と、前記溝内の第 2 の膜に対して、水を含む雰囲気中で第 1 の熱処理を行う工程とを有することを特徴としている。

【 0 0 1 7 】

また、上記の目的を達成するために、本発明の半導体装置の製造方法は、半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、スピニング法により過水素化シラザン重合体溶液を半導体基板表面に塗布し、前記

溝内に過水素化シラザン重合体溶液の塗布膜を埋め込む工程と、前記過水素化シラザン重合体溶液の塗布膜に対して熱処理を行い、その過水素化シラザン重合体溶液の塗布膜に含まれる溶媒を揮発させてポリシラザン膜に変換する工程と、前記マスク部材上のポリシラザン膜を除去して選択的に前記溝内部にポリシラザン膜を残す工程と、前記ポリシラザン膜を化学反応させて酸化シリコン膜を形成する工程とを有することを特徴としている。

【 0 0 1 8 】

更に、上記目的を達成するために、本発明の半導体装置の製造方法は、半導体基板にマスク部材を用いて素子分離のための溝を形成する工程と、スピンコーティング法により過水素化シラザン重合体溶液を半導体基板表面に塗布し、前記溝内に過水素化シラザン重合体溶液の塗布膜を埋め込む工程と、前記過水素化シラザン重合体溶液の塗布膜に対して熱処理を行い、その過水素化シラザン重合体溶液の塗布膜に含まれる溶媒を揮発させてポリシラザン膜に変換する工程と、前記マスク部材上の前記ポリシラザン膜を除去して選択的に前記溝内部にポリシラザン膜を残す工程と、前記ポリシラザン膜を化学反応させて酸化シリコン膜を形成する工程と、前記半導体基板上のマスク部材を除去する工程と、前記酸化シリコン膜を緻密化するために、熱処理する工程とを有することを特徴としている。

【 0 0 1 9 】

このような半導体装置の製造方法によれば、第 1 の膜を溝内に選択的に残すように、マスク部材上の第 2 の膜を除去し、且つ溝底部からの第 2 の膜を薄膜化した後に、絶縁膜に変換しているため、溝内の第 2 の膜が完全に絶縁膜に変換できる。従って、溝内に、形状劣化を低減した素子分離構造が実現できる。

【 0 0 2 0 】

【発明の実施の形態】

以下、図面を参照して本発明の実施の形態を説明する。

【 0 0 2 1 】

(第 1 の実施の形態)

本発明の第 1 の実施の形態について、図面を参照して説明する。

【 0 0 2 2 】

先ず、図 1 および図 2 を参照して、本発明の第 1 の実施の形態に係る S T I 素子分離構造を用いた M O S トランジスタについて説明する。図 1 は、その M O S トランジスタの平面図、図 2 は、図 1 の A - A 線に沿った断面図である。なお、図 1 および図 2 においては、メタル配線部以上の配線層およびパッシベーション層が、更に、図 1 においては、層間絶縁膜が、図示されていない。

【 0 0 2 3 】

本実施の形態に係る M O S トランジスタは、半導体基板、例えばシリコン基板 1 0 の上面に各素子を電氣的に分離するために各種溝幅の例えば S T I 構造の素子分離領域 1 1 を形成した後、周知の技術により、この素子分離領域に囲まれたシリコン基板 1 0 の上面の素子形成領域 1 2 にソース領域 1 3 とドレイン領域 1 4 の形成、このソース／ドレイン領域間にゲート酸化膜 1 5 を介してゲート電極 1 6 の形成、ソース／ドレイン領域上の層間絶縁膜 1 7 に開孔したコンタクトホール 1 8 に充填された導体でメタル配線 1 9 に接続されてソース電極 2 0 ／ドレイン電極 2 1 の形成、多層配線層の形成、パッシベーション膜の形成、並びにパッド形成などを経て完成する。

【 0 0 2 4 】

次に、本発明の第 1 の実施の形態に係る S T I 構造の素子分離構造を形成するための製造方法について説明する。図 3 (a) 乃至図 5 (f) は、図 1 および図 2 の S T I 素子分離構造の M O S トランジスタの製造工程を工程順に示す断面図で、特に、図 1 の点線部に対応した 1 0 0 n m 程度以下の狭い S T I 領域の製造工程断面図である。

【 0 0 2 5 】

まず、図 3 (a) に示すように、半導体基板、例えばシリコン基板 3 0 の表面にシリコン酸化膜（以下 SiO_2 膜と記す） 3 1 を例えば膜厚 4 n m 程度形成し、その上に L P - C V D (Low Pressure Chemical Vapor Deposition) 法でマスク部材としての窒化シリコン膜（以下 Si_3N_4 膜と記す） 3 2 を膜厚 2 0 0 n m 程度形成する。その後、通常の露光技術と R I E 法によるドライエッチング技術を用いて、 Si_3N_4 膜 3 2、 SiO_2 膜 3 1、シリコン基板 3 0 の順序で加工し、シリコン基板 3 0 に S T I 素子分離のための素子分離溝としての S T

I 溝 3 3 を、例えば幅 1 0 0 n m、深さ 3 0 0 n m 程度に形成する。もちろん、素子分離のための溝であるので、種々の幅の溝がシリコン基板上に形成されている。

【 0 0 2 6 】

ここでは、 Si_3N_4 膜 3 2 をマスク部材として用いる例を示しているが、 Si_3N_4 膜上に SiO_2 膜（図示せず）を積層して SiO_2 膜をシリコン基板 3 0 のエッチングマスク部材として用いても良い。

【 0 0 2 7 】

次に、シリコン基板 3 0 を通常の熱酸化法を用いて酸化し、STI 溝 3 3 側面に膜厚 3 n m 程度の熱酸化膜 3 4 を形成する。なお、ここで酸素ラジカルを用いて STI 溝 3 3 の側面にシリコン（Si）の面方位によらない均一な高品質の酸化シリコン膜を形成することができる。また、これら酸化工程で、ISSG（In-Situ Steam Generation）法を用いて、 Si_3N_4 膜 3 2 の側面を僅かに酸化しておいても良い。

【 0 0 2 8 】

次に、マスク部材である Si_3N_4 膜 3 2 を選択的に 1 0 n m 程度横方向に後退させる、いわゆるプルバック（Pullback）法を用いて Si_3N_4 膜 3 2 の溝幅を広げる。この工程には、例えばホットリン酸などを用いるのが一般的である。この時、 SiO_2 膜 3 1 と Si_3N_4 膜 3 2 の選択比が 2 以上取れるような等方性エッチングを用いるのが望ましい。

【 0 0 2 9 】

次に、図 3（b）に示すように、STI 溝 3 3 が完全に埋まるように塗布型溶液をシリコン基板 3 0、厳密には Si_3N_4 膜 3 2 の全表面に塗布する。ここでは、例えば、 Si_3N_4 膜 3 2 上で膜厚 6 0 0 n m 程度になるように塗布膜を堆積する。塗布膜として、例えばスピンコーティング法を用いて過水素化シラザン重合体（ $(\text{SiH}_2\text{NH})_n$ ）溶液を塗布し、2 0 0 °C 以下の温度、例えば 1 5 0 °C 程度で 3 分程度のベーキングを行い、溶媒を揮発させポリシラザン（PSZ）膜 3 5 とする。

【 0 0 3 0 】

この時、 Si_3N_4 膜 3 2 は、最初の 2 0 0 nm から 1 9 0 nm 程度になっているので、P S Z 膜 3 5 の表面から S T I 溝 3 3 の底部までは、8 0 0 nm から 1 1 0 0 nm 程度の距離となる。P S Z 膜 3 5 の埋め込み特性は良好で、1 0 0 nm 程度の狭い S T I 溝 3 3 に対しても空孔を発生することなく、埋め込めることが確認されている。

【 0 0 3 1 】

次に、図 4 (c) に示すように、例えば CMP 法によりマスク部材の Si_3N_4 膜 3 2 が露出するように、 Si_3N_4 膜 3 2 上の P S Z 膜 3 5 を選択的に除去する。この結果、各 S T I 溝 3 3 の中に表面のみを露出した形状で、P S Z 膜 3 5 が形成されることになる。この形状が重要なポイントである。

【 0 0 3 2 】

P S Z 膜 3 5 は、軟弱な膜であるので、CMP 加工工程では、通常の研磨材（スラリー）に比べ粒径の大きな、柔らかいものを使い、荷重を調整して研磨速度を制御するなどの注意が必要である。この CMP 加工により、S T I 溝 3 3 底から P S Z 膜 3 5 表面までの距離 t は、4 8 0 nm 程度となり、非常に短い距離となる。

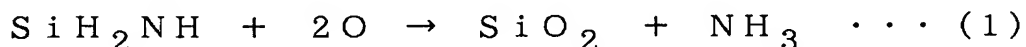
【 0 0 3 3 】

すなわち、図 7 乃至 9 の従来の方法の平坦部（マスク上の領域）または十分に広い S T I 溝幅部における P S Z 膜の膜厚程度に相当することになる。また、CMP 前に 3 5 0℃ 以上 4 5 0℃ 以下程度の水を含む雰囲気中で 6 0 分程度熱処理することにより CMP 工程に対して P S Z 膜 3 5 の膜強度を向上させておいても良い。

【 0 0 3 4 】

次に図 4 (d) に示すように、例えば 8 0 0℃ の水蒸気雰囲気での燃焼酸化（以下、これを B O X 酸化と呼ぶ）を 3 0 分程度行えば、平面構造のシリコン基板に 6 0 0 nm 程度の厚さで塗布した P S Z 膜 3 5 を SiO_2 膜 3 6 に変換させることができる。また、この工程は、次の化学式（1）で説明できる。

【 0 0 3 5 】



すなわち、P S Z 膜 3 5 は、水蒸気 ($H_2O + O_2$) の分解によって生成される酸素 O と反応して SiO_2 と NH_3 (アンモニアガス) に変化して、 SiO_2 膜 3 6 に変化する。この時、素子形成領域は Si_3N_4 膜 3 2 に覆われているので、素子形成領域のシリコン基板 3 0 表面は酸化されない。

【 0 0 3 6 】

この化学反応は、P S Z 膜 3 5 の S T I 溝 3 3 中で露出している表面から進行する。

【 0 0 3 7 】

従って、800℃で30分間程度 B O X 酸化を行えば、P S Z 膜 3 5 は、表面から S T I 溝 3 3 底まで 480nm 程度の厚さであるため、 $Si-N$ 結合から $Si-O$ 結合への変換が促進される。その結果、各種溝幅をもつ S T I 溝 3 3 に埋め込まれた P S Z 膜 3 5 を溝底まで完全に SiO_2 膜 3 6 へ変換することができる。すなわち、変換効率の向上が実現できる。

【 0 0 3 8 】

また、この B O X 酸化工程においては、350℃から 450℃の水蒸気を含む雰囲気中で30分から60分程度保持した後、さらに水蒸気雰囲気のまま 800℃程度の高温まで温度を上げて30分程度の熱処理を行う、いわゆる 2 段階 B O X 酸化法を用いても良い。このようにすると、変換効率をさらに向上させることができる。

【 0 0 3 9 】

2 段階の B O X 酸化法は、P S Z 膜の SiO_2 膜への変換に特に有効で、 SiO_2 膜への変換が始まる温度 (例えば 400℃程度の温度) で一定の時間保持することが重要である。高温側へ連続して昇温させると変換が十分進む前に P S Z 膜の収縮が起こり、 SiO_2 膜への変換が進みにくくなる傾向がある。また、水蒸気雰囲気の作り方であるが、水素燃焼酸化による高濃度の水蒸気を用いるほうが P S Z 膜を SiO_2 膜に変換するのに望ましい。

【 0 0 4 0 】

次に、図 5 (e) に示すように、酸化性雰囲気、または、窒素等の不活性ガス雰囲気において、800℃から 1100℃、例えば、900℃程度の温度で 30

分程度の熱処理を行い、P S Z 膜 3 5 から変換された SiO_2 膜 3 6 に残留している NH_3 や H_2O を放出させ、 SiO_2 膜 3 6 の緻密化処理を行い、 SiO_2 膜 3 6 に比べて密度の高い SiO_2 膜 3 7 に変換させ、膜のリーク電流を低減できる。また、酸素雰囲気であれば、膜中の炭素（カーボン：C）等の不純物濃度を低減でき、リーク電流やさらに膜とシリコン基板界面での固定電荷を低減できる。また、窒素ガス等の不活性ガス雰囲気で行うと S T I 溝 3 3 中のシリコン側面の酸化を抑えることができ、素子幅の減少（すなわち S T I 幅の増加）を抑えることができる。

【 0 0 4 1 】

この時も素子形成領域は Si_3N_4 膜 3 2 に覆われているため、酸化性雰囲気においても酸化されることはない。緻密化工程には、通常の炉による熱処理以外に R T A（Rapid Thermal Annealing：以下 R T A と記す）や R T O（Rapid Thermal Oxidation）を用いてもよい。R T A の場合は、より高温、例えば 9 5 0℃、2 0 秒程度の熱処理工程を使うことができる。

【 0 0 4 2 】

次に、図 5（f）に示すように、 Si_3N_4 膜 3 2 と SiO_2 膜 3 1 を除去してシリコン基板 3 0 の表面を露出させる。この時、 SiO_2 膜 3 7 は、B O X 酸化直後の SiO_2 膜 3 6 に比べて緩衝化フッ酸（バッファード H F）によるウェットエッチングレートは、1. 4 倍程度に低減できている。このため、 SiO_2 膜 3 1 の除去の際にも S T I 溝 3 3 上部の SiO_2 膜 3 7 は、過剰にエッチングされることがないため、シリコン基板 3 0 表面より上部にわずかに膨らんだ断面が台形の SiO_2 膜 3 8 が埋め込まれた所望形状の S T I 構造が実現できる。

【 0 0 4 3 】

この後、犠牲酸化膜の形成、チャネルイオン注入、犠牲酸化膜除去、ゲート電極の形成、ソース／ドレイン層の形成、層間絶縁膜の形成、コンタクト形成、配線層の形成、パッシベーション膜の形成、パッド形成などを経て M O S トランジスタが完成する。

【 0 0 4 4 】

上述した第 1 の実施の形態の半導体装置の製造方法によれば、P S Z 膜を用い

て S T I 溝に窪み、高さの変動などの形状の劣化のない所望形状の S T I 構造を有する半導体装置を形成することができる。特に、S T I 溝幅が 1 0 0 n m 程度以下の狭い溝幅においても、P S Z 膜を S T I 溝内に選択的に残すように、マスク部材上の P S Z 膜を除去し、且つ S T I 溝底部からの P S Z 膜を薄膜化した後に、 SiO_2 膜に変換しているため、S T I 溝内の P S Z 膜が完全に SiO_2 膜に変換できる。従って、S T I 溝内に、形状劣化を低減した素子分離構造が実現できる。

【 0 0 4 5 】

また、薄膜化することで S T I 溝中における P S Z 膜の SiO_2 膜への変換効率の向上および緻密化が促進されて、エッチングレートを十分低減でき、S T I 形成後の半導体製造工程において繰り返されるシリコン基板表面の酸化と、酸化膜除去などの工程においても、良好な形状の S T I 構造を維持して素子分離が実現でき、また、リーク電流の低減や S T I 溝底における固定電荷の低減が実現でき、製品の歩留まりを向上できる。

【 0 0 4 6 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る半導体装置の S T I 構造を形成するための製造方法について説明する。図 6 (a) 、 (b) は、第 2 の実施の形態に係わる S T I 構造の形成を工程順に示す断面図である。本実施の形態は、第 1 の実施の形態とは SiO_2 膜の緻密化工程が異なり、それ以外の図 3 (a) の S T I 溝 3 3 形成から、図 4 (d) で示される P S Z 膜の SiO_2 膜 3 6 への変換までの工程は同様である。従って、以下、第 1 の実施の形態と異なる工程のみ説明する。

【 0 0 4 7 】

本実施の形態では、図 6 (a) に示すように、 SiO_2 膜 3 6 を緻密な SiO_2 膜 3 7 に変換させる工程に先立ってマスク部材としての Si_3N_4 膜 3 2 を除去し、 Si_3N_4 膜 3 2 で覆われていた SiO_2 膜 3 6 の側周面を露出させ、その後に酸化性雰囲気または不活性ガス雰囲気において緻密化処理工程を行い、緻密な SiO_2 膜 3 7 b を形成する。これにより、 SiO_2 膜 3 6 の Si_3N_4 膜 3 2 と接していた側面の領域からも NH_3 や H_2O が放出されて SiO_2 膜の緻

密化が促進される。

【0048】

このため、図6（b）に示すように、 SiO_2 膜31を除去する場合に、 SiO_2 膜37bは、過剰にエッチングされることがなく、所望の形状のSTI構造が実現できる。

【0049】

上述の第2の実施の形態の半導体装置の製造方法によっても、特にPSZ膜を用いてSTI溝に埋め込み良好な形状のSTI構造を形成することができ、また、STI溝幅が100nm程度以下の狭い溝幅においても、PSZ膜を薄膜化して SiO_2 膜に変換した後、 Si_3N_4 膜で覆われていた SiO_2 膜の側周面を露出させて緻密化処理工程を行なっている。これにより、 SiO_2 膜の Si_3N_4 膜と接していた側面の領域からも SiO_2 膜の緻密化が促進され、エッチングレートを十分低減でき、STI構造の形成後の半導体製造工程においても、良好な形状のSTI構造を維持実現でき、製品の歩留まりを向上できる。

【0050】

本発明は、上記実施の形態に限定されるものではなく、発明の要旨を逸脱しない範囲で、種々変形し、実施できることは勿論である。

【0051】

例えば、塗布型絶縁膜としてPSZ膜を用いて説明したが、塗布後になんらかの熱処理によって絶縁膜に化学反応させうる他の塗布膜を用いてもよい。

【0052】

【発明の効果】

本発明の半導体装置の製造方法によれば、溝幅の広いものから溝幅の狭い素子分離溝中に、形状劣化が少なく、リーク電流が低減でき、固定電荷の少ない SiO_2 膜を埋め込んだ所望形状の素子分離構造を実現できる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係るSTI素子分離構造を用いたMOSトランジスタの平面図。

【図2】 図1のA-A線に沿って切断したSTI素子分離構造を用いたMOS

トランジスタの断面図。

【図 3】 本発明の第 1 の実施の形態による半導体装置の製造方法を工程順に説明するための断面図。

【図 4】 本発明の第 1 の実施の形態による半導体装置の製造方法を工程順に説明するための断面図。

【図 5】 本発明の第 1 の実施の形態による半導体装置の製造方法を工程順に説明するための断面図。

【図 6】 本発明の第 2 の実施の形態による半導体装置の製造方法の一部の工程を示す断面図。

【図 7】 従来の半導体装置の製造方法を工程順に示す断面図。

【図 8】 従来の半導体装置の製造方法を工程順に示す断面図。

【図 9】 従来の半導体装置の製造方法を工程順に示す断面図。

【符号の説明】

1 0、3 0、1 0 0 シリコン基板

1 1 素子分離領域

1 2 素子形成領域

1 3 ソース領域

1 4 ドレイン領域

1 5 ゲート酸化膜

1 6 ゲート電極

1 7 層間絶縁膜

1 8 コンタクトホール

1 9 メタル配線

2 0 ソース電極

2 1 ドレイン電極

3 1、3 6、3 7、3 8、1 0 1、1 0 6、1 0 7 SiO_2 膜

3 2、1 0 2 Si_3N_4 膜

3 3、1 0 3 S T I 溝

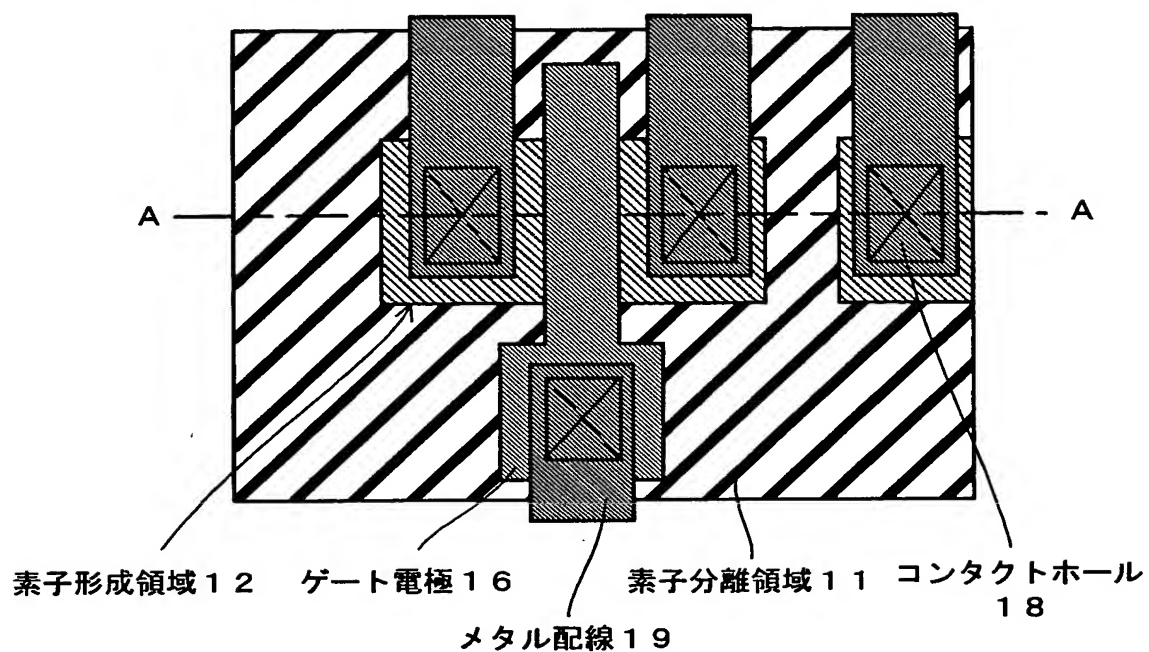
3 4 熱酸化膜

3 5、1 0 5 P S Z 膜

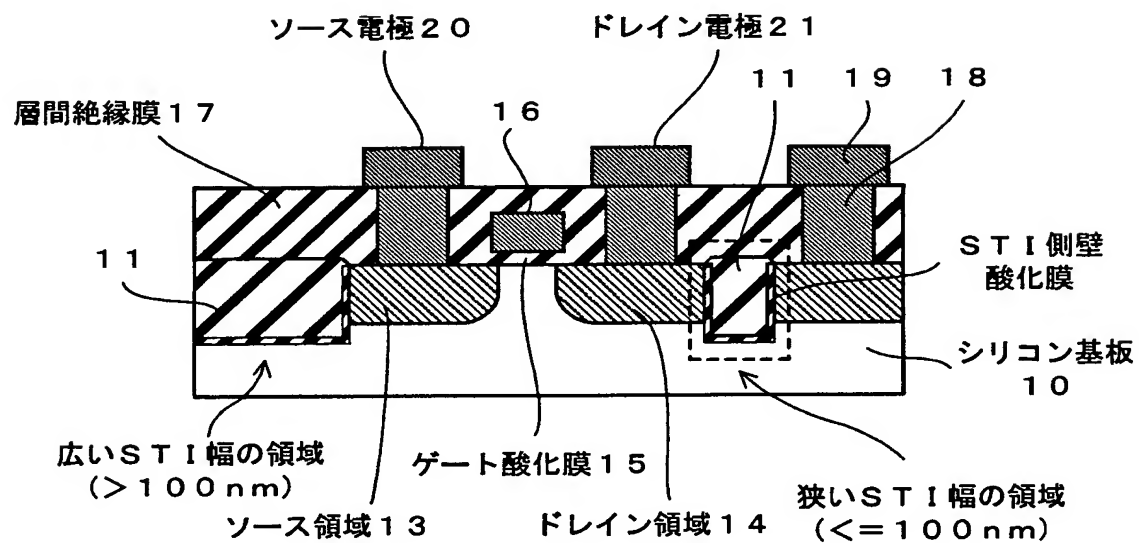
1 0 5 a S i O ₂ 膜への変換が不十分な P S Z 膜

【書類名】 図面

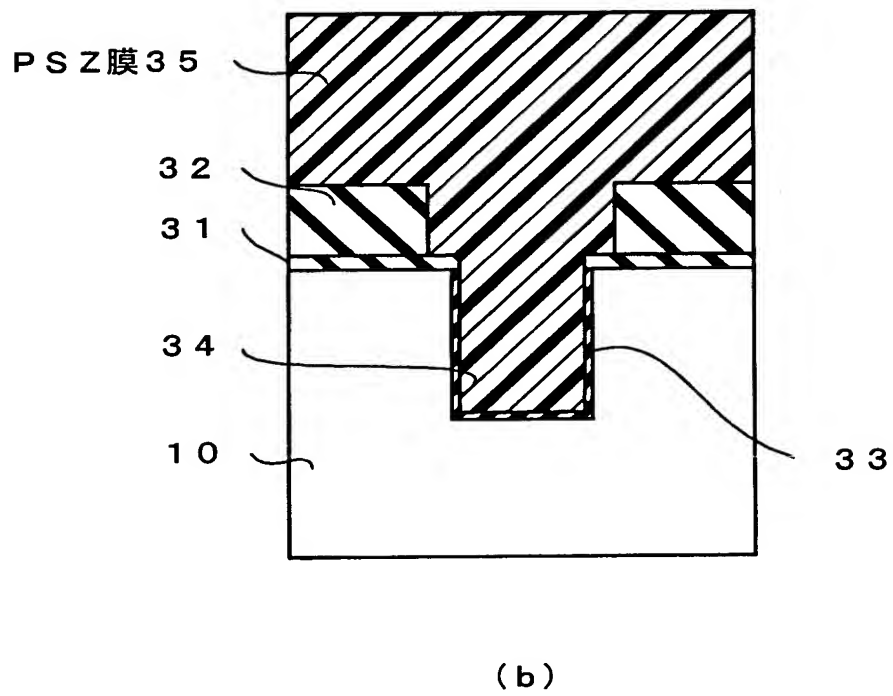
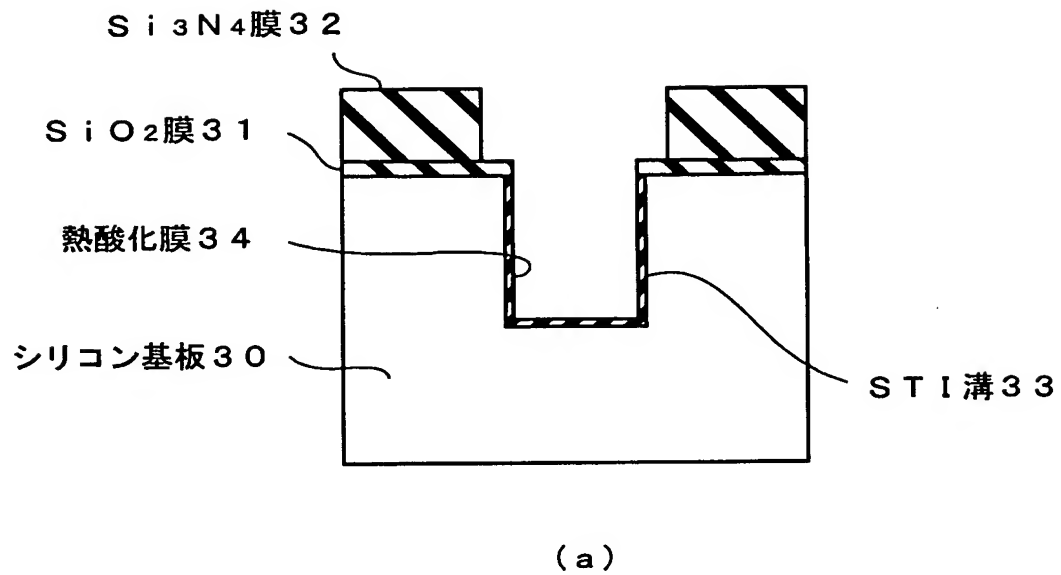
【図 1】



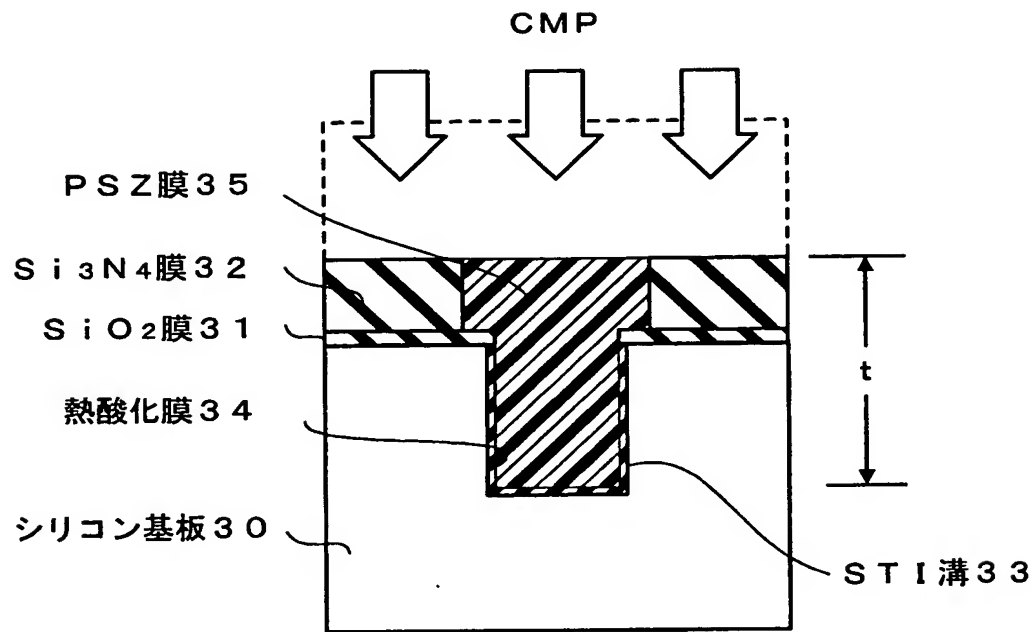
【図 2】



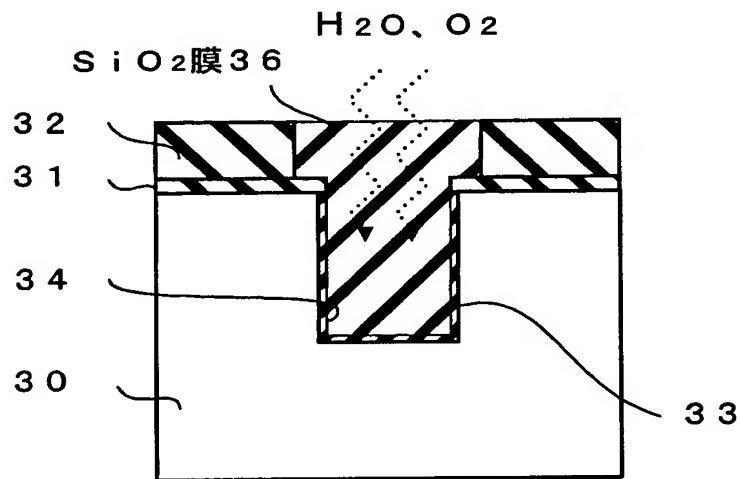
【図 3】



【図 4】

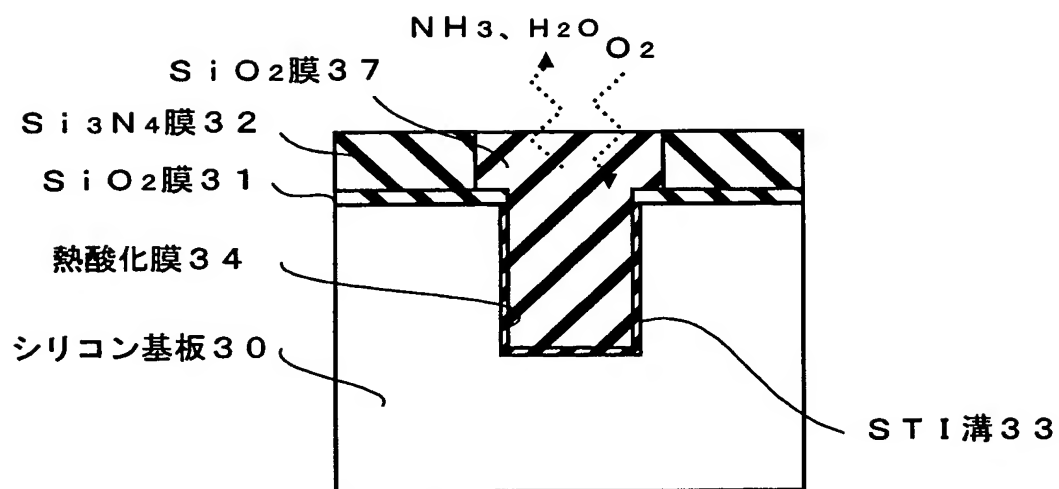


(c)

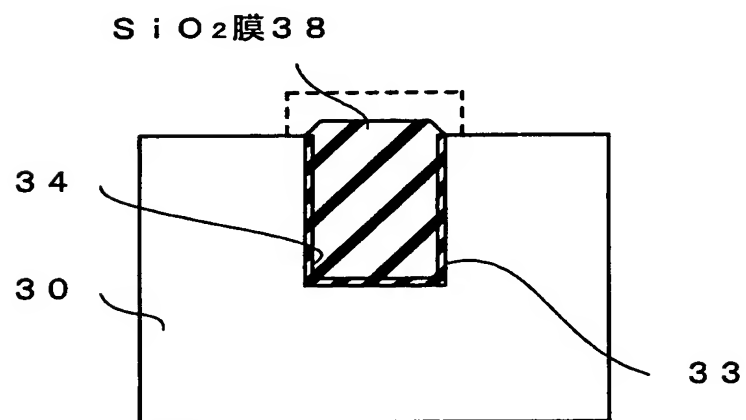


(d)

【図5】

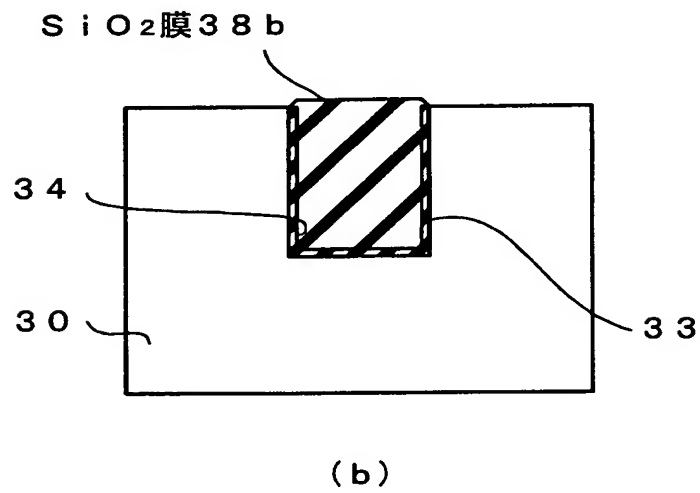
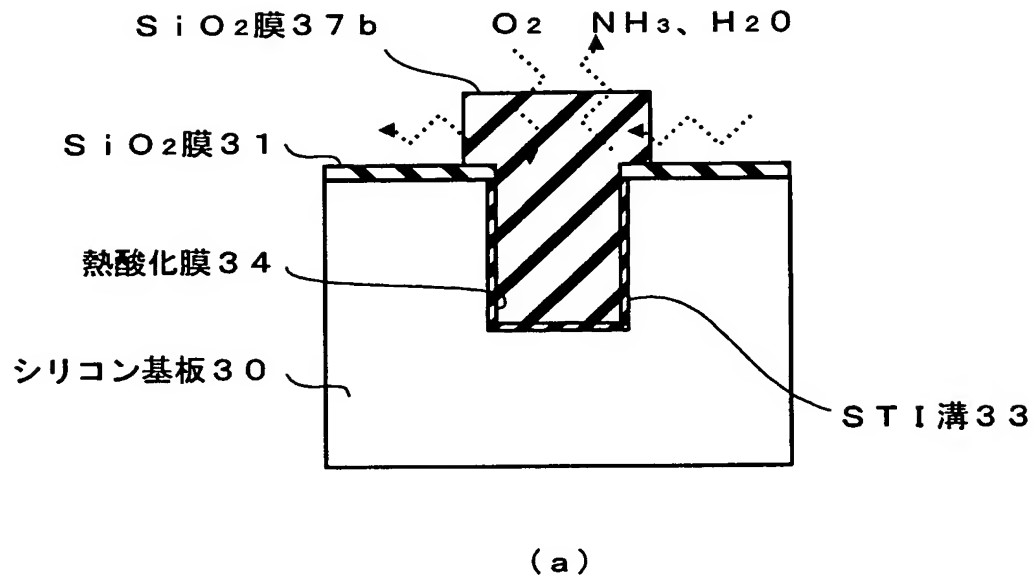


(e)

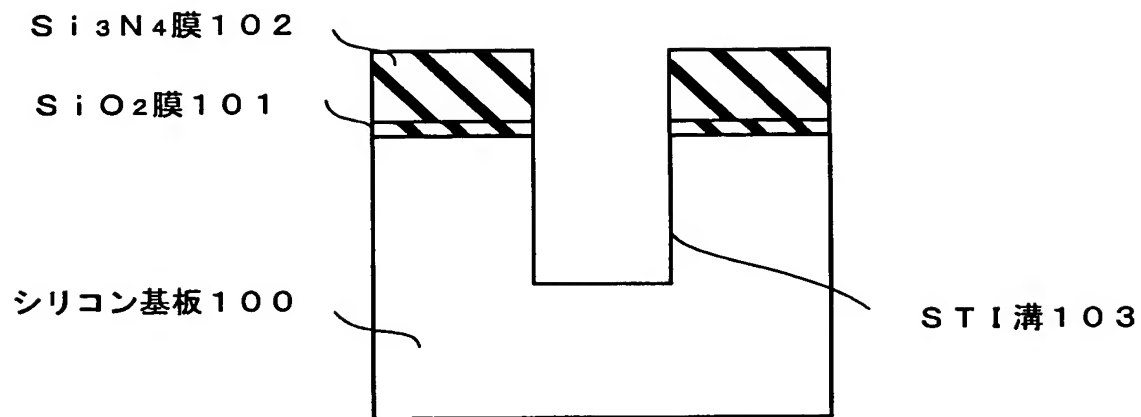


(f)

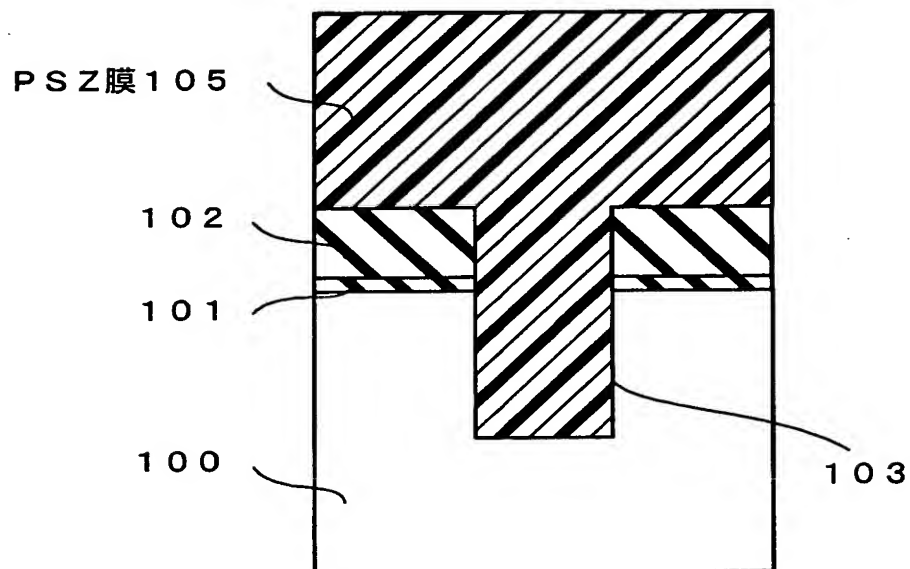
【図 6】



【図 7】

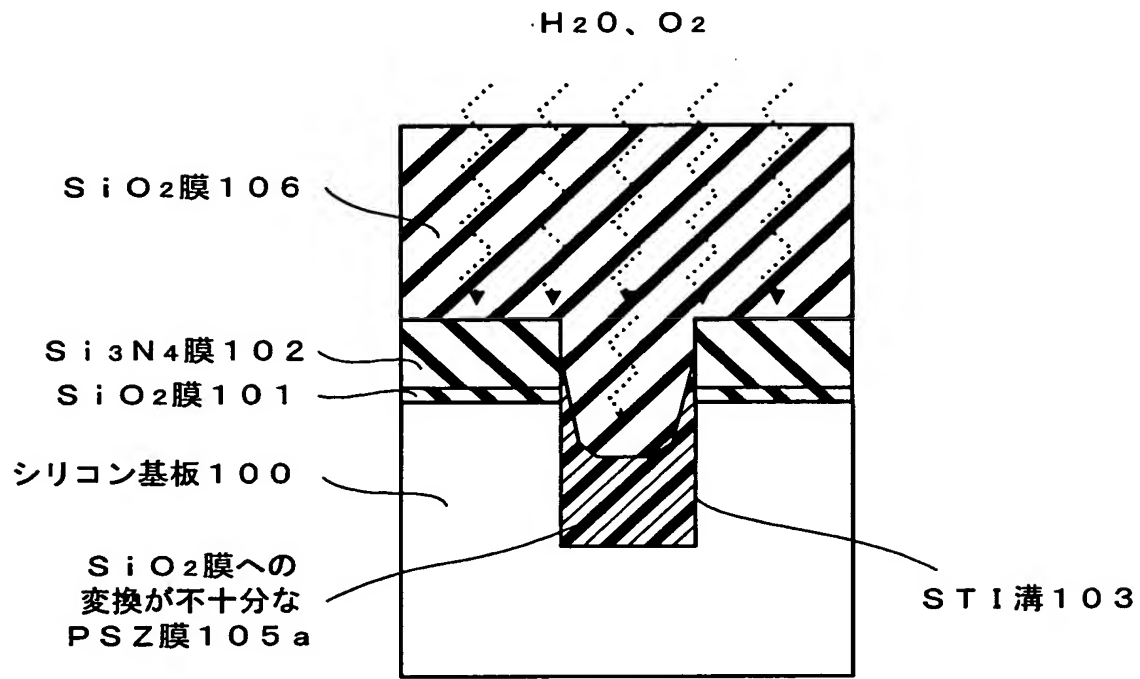


(a)

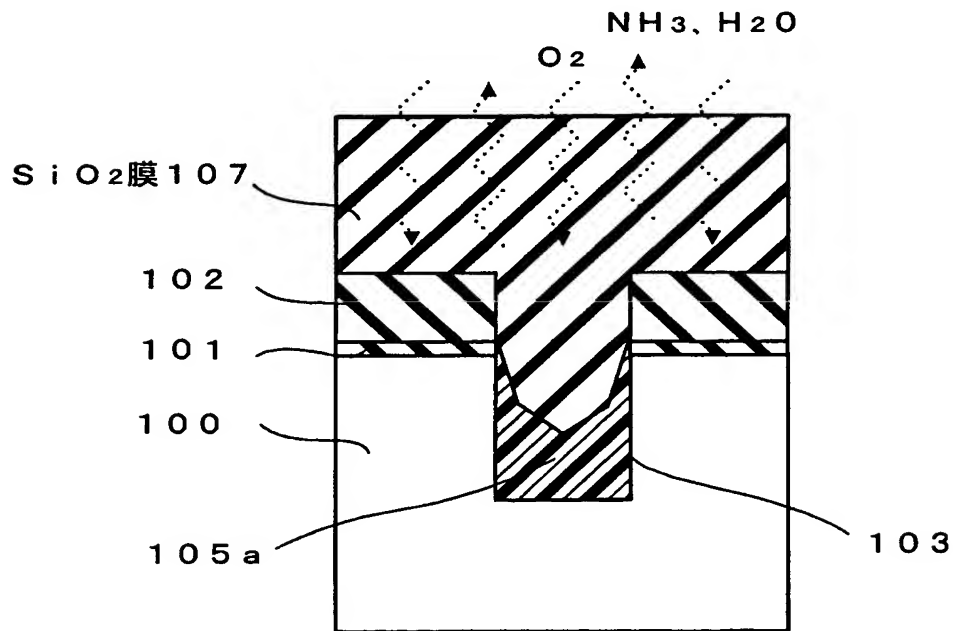


(b)

【図8】

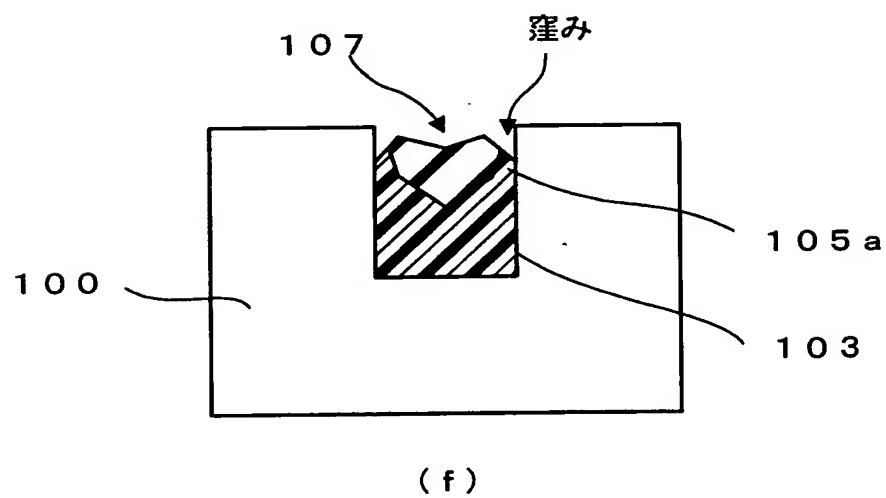
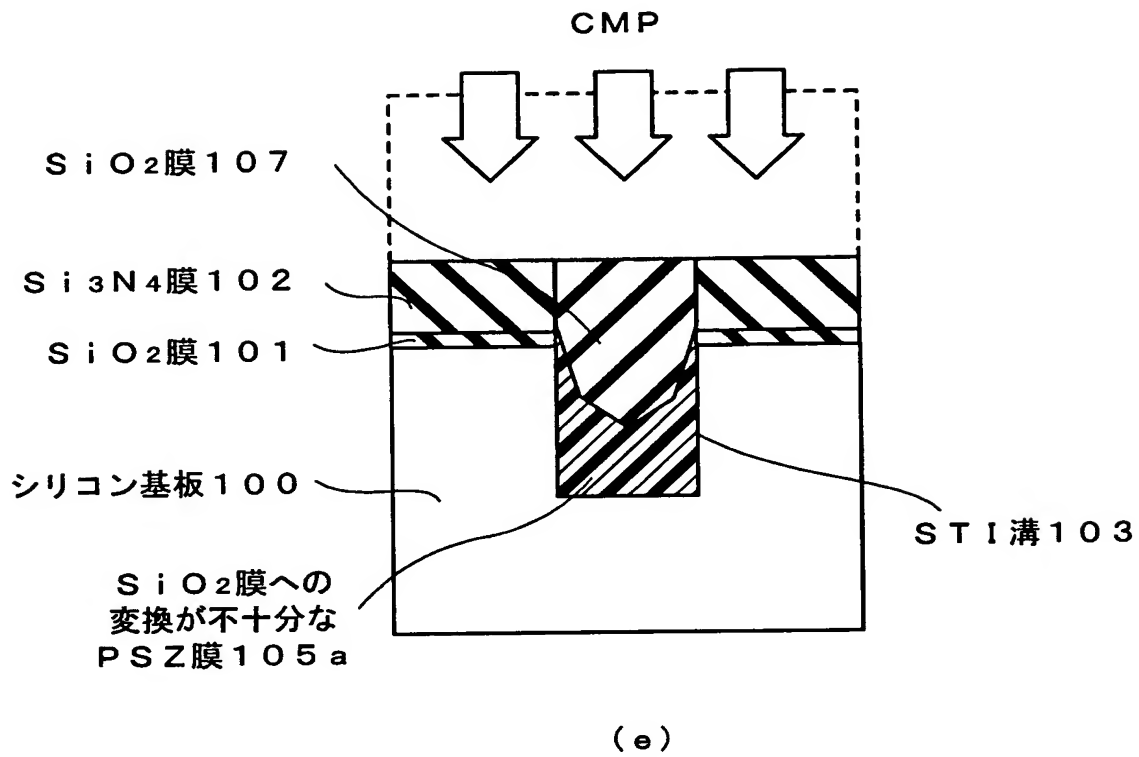


(c)



(d)

【図9】



【書類名】 要約書

【要約】

【課題】 S T I 溝内に、埋め込まれる絶縁膜の窪み、高さ変動などによる形状の劣化を防止できる半導体装置の製造方法を提供する。

【解決手段】 シリコン基板 3 0 上表面に、 Si_3N_4 膜 3 2 をマスク部材として形成し、シリコン基板 3 0 をエッチングして S T I 溝 3 3 を形成する。S T I 溝 3 3 が形成されたシリコン基板 3 0 に、過水素化シラザン重合体溶液の塗布膜（P S Z 膜）を堆積し、その後、P S Z 膜を溝中にのみ残置し、マスク部材上の P S Z 膜を除去して S T I 溝 3 3 の底部より 6 0 0 n m 程度以下になるように薄膜化する。その後、P S Z 膜を水蒸気雰囲気中で熱処理することにより化学反応させてシリコン酸化膜 3 7 に変換する。その後、埋め込まれたシリコン酸化膜 3 7 を熱処理により緻密化する。

【選択図】 図 5

認 定 ・ 付 加 情 報

特許出願の番号	特願 2 0 0 2 - 2 8 9 4 2 8
受付番号	5 0 2 0 1 4 8 0 2 0 4
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 4 年 1 0 月 3 日

< 認定情報・付加情報 >

【提出日】	平成14年10月 2日
-------	-------------

出 願 人 履 歴 情 報

識別番号 [0 0 0 0 0 3 0 7 8]

1. 変更年月日 2 0 0 1 年 7 月 2 日
[変更理由] 住所変更
住 所 東京都港区芝浦一丁目 1 番 1 号
氏 名 株式会社東芝